

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EP0. All rts. reserv.

14393880

Basic Patent (No,Kind,Date): JP 10144929 A2 19980529 <No. of Patents: 003

>

ACTIVE MATRIX TYPE DISPLAY UNIT AND ITS MANUFACTURING METHOD (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB; SHARP KK

Author (Inventor): SHIBUYA TSUKASA; YOSHINOCHI ATSUSHI; CHIYOU KOUYUU;

TAKEUCHI AKIRA

IPC: *H01L-029/786; G02F-001/136; H01L-021/336

CA Abstract No: *129(06)074117X; 129(06)074117X

Derwent WPI Acc No: *G 98-368740; G 98-368740

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 10144929	A2	19980529	JP 96315486	A	19961112	(BASIC)
US 5923961	A	19990713	US 968025	A	19971112	
US 6172671	BA	20010109	US 325260	A	19990603	

Priority Data (No,Kind,Date):

JP 96315486 A 19961112

US 325260 A 19990603

US 968025 A3 19971112

Patent Abstracts of Japan

PUBLICATION NUMBER : 10144929
PUBLICATION DATE : 29-05-98

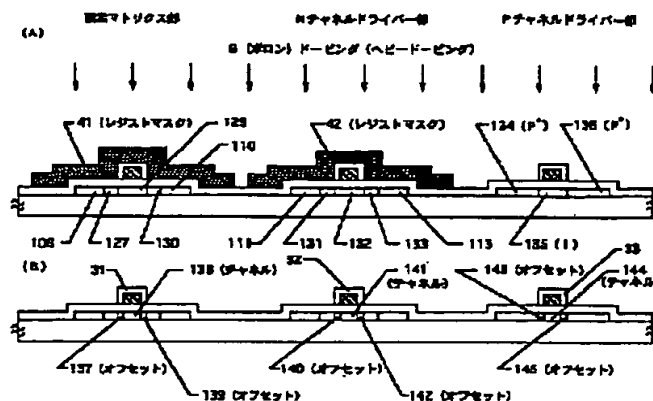
APPLICATION DATE : 12-11-96
APPLICATION NUMBER : 08315486

APPLICANT : SHARP CORP;

INVENTOR : TAKEUCHI AKIRA;

INT.CL. : H01L 29/786 G02F 1/136 H01L 21/336

TITLE : ACTIVE MATRIX TYPE DISPLAY UNIT
AND ITS MANUFACTURING METHOD



ABSTRACT : PROBLEM TO BE SOLVED: To selectively arrange thin-film transistors provided with necessary characteristics in a pixel matrix part and a peripheral drive circuit part of an active matrix type display device.

SOLUTION: In an arrangement provided with a pixel matrix part and a peripheral device circuit part on the same substrate, in both N-channel driver parts of the pixel matrix part and peripheral drive circuit part, there are formed N-channel type thin-film transistors provided with source and drain regions 108, 110, 111, 113 formed in a nonself-aligning process. Further low concentration impurity regions 127, 130, 131, 133 are formed in a self-aligning process. Further, in a P-channel driver part of the peripheral drive circuit part, there are formed P-channel type thin-film transistors which form source and drain regions 134, 136 by only the self-aligning process, without forming the low-concentration impurity region.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144929

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁸
 H 0 1 L 29/786
 G 0 2 F 1/136
 H 0 1 L 21/336

識別記号
 5 0 0

F I
 H 0 1 L 29/78 6 1 2 B
 G 0 2 F 1/136 5 0 0
 H 0 1 L 29/78 6 1 6 A

審査請求 未請求 請求項の数10 F D (全 17 頁)

(21) 出願番号 特願平8-315486
 (22) 出願日 平成8年(1996)11月12日

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (72) 発明者 渋谷 司
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内
 (72) 発明者 芳之内 淳
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内

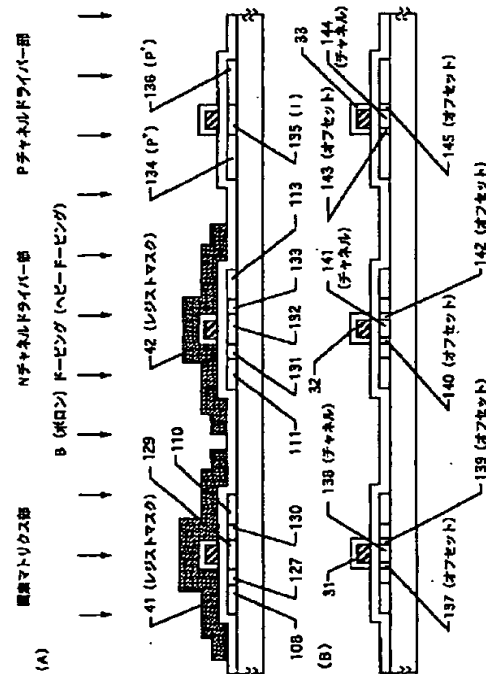
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置およびその作製方法

(57) 【要約】

【課題】 アクティブマトリクス型表示装置において、画素マトリクス部と周辺駆動回路部とにおいて、必要とする特性を備えた薄膜トランジスタを選択的に配置する。

【解決手段】 同一基板上に画素マトリクス部と周辺駆動回路部とを備えた構成において、画素マトリクス部と周辺駆動回路部のNチャネルドライバ一部とは、非自己整合プロセスで形成されたソース及びドレイン領域108、110、111、113、さらに自己整合プロセスで形成された低濃度不純物領域127、130、131、133を備えたNチャネル型の薄膜トランジスタを形成する。また、周辺駆動回路部のPチャネルドライバ一部には、低濃度不純物領域を形成せず自己整合プロセスのみによってソース及びドレイン領域134、136を形成したPチャネル型の薄膜トランジスタを形成する。



【特許請求の範囲】

【請求項1】同一基板上に画素マトリクス部と周辺駆動回路部とを配置した構成を有し、

前記画素マトリクス部には、
高濃度不純物領域のソースおよびドレイン領域と、
チャネル領域とソースおよびドレイン領域との間にソース／ドレイン領域よりも低濃度の不純物領域をソース側とドレイン側の寸法が同じになるように有するNチャネル型の薄膜トランジスタが配置され、前記周辺駆動回路部には、

高濃度不純物領域のソースおよびドレイン領域と、
チャネル領域とソースおよびドレイン領域との間にソース／ドレイン領域よりも低濃度の不純物領域をソース側よりもドレイン側の寸法が大きくなるように有するNチャネル型の薄膜トランジスタと、

前記低濃度の不純物領域を有さないPチャネル型の薄膜トランジスタと、

が配置され、
ていることを特徴とするアクティブマトリクス型表示装置。

【請求項2】請求項1において、
寸法はキャリアの移動経路に沿った方向におけるものとして定義されることを特徴とするアクティブマトリクス型表示装置。

【請求項3】同一基板上に画素マトリクス部と周辺駆動回路部とを配置した構成を有し、

前記画素マトリクス部と周辺駆動回路部とに配置されるNチャネル型の薄膜トランジスタのソース及びドレイン領域となるべき領域に非自己整合プロセスによりN型を付与する不純物をドーピングする工程と、

前記周辺駆動回路部に配置されるPチャネル型の薄膜トランジスタのソース及びドレインとなるべき領域に自己整合プロセスによりP型を付与する不純物をドーピングする工程と、

を有することを特徴とするアクティブマトリクス型表示装置の作製方法。

【請求項4】同一基板上に画素マトリクス部と周辺駆動回路部とを配置した構成を有し、

前記画素マトリクス部と周辺駆動回路部とに配置されるNチャネル型の薄膜トランジスタのソース及びドレイン領域となるべき領域に非自己整合プロセスによりN型を付与する不純物をドーピングする工程と、

前記Nチャネル型の薄膜トランジスタのソース及びドレイン領域となるべき領域に隣接した領域に自己整合プロセスによりN型を付与する不純物を前記ソース及びドレイン領域となるべき領域よりも低濃度にドーピングする工程と、

前記周辺駆動回路部に配置されるPチャネル型の薄膜トランジスタのソース及びドレインとなるべき領域に自己整合プロセスによりP型を付与する不純物をドーピング

する工程と、
を有することを特徴とするアクティブマトリクス型表示装置の作製方法。

【請求項5】請求項3または請求項4において、
非自己整合プロセスによるN型を付与する不純物のドーピング工程後にソース／ドレイン領域及びチャネル領域となるべき領域にレーザー光の照射を行うことを特徴とするアクティブマトリクス型表示装置の作製方法。

【請求項6】請求項3または請求項4において、
非自己整合プロセスにおいては、レジストマスクを利用して選択的なドーピングが行われることを特徴とするアクティブマトリクス型表示装置の作製方法。

【請求項7】請求項3または請求項4において、
自己整合プロセスにおいては、ゲイト電極部をマスクとして利用することにより、選択的なドーピングが行われることを特徴とするアクティブマトリクス型表示装置の作製方法。

【請求項8】請求項4において、
自己整合プロセスにおいてN型を付与する不純物がドーピングされる領域は、ソース領域側に形成される第1の領域とドレイン領域側に形成される第2の領域とでなり、

画素マトリクス部では前記第1の領域と第2の領域の寸法は概略同じであり、

周辺駆動回路部では前記第2の領域の寸法は前記第1の領域の寸法より大きいことを特徴とするアクティブマトリクス型表示装置の作製方法。

【請求項9】請求項4において、
自己整合プロセスにおいてN型を付与する不純物がドーピングされる領域は、

ソース領域側に形成される第1の領域とドレイン領域側に形成される第2の領域とでなり、

画素マトリクス部では前記第1の領域と第2の領域の寸法は概略同じであり、

周辺駆動回路部では、前記第1の領域の寸法は、N型を付与する不純物をドーピングする非自己整合プロセスにおける位置合わせ精度より大きく、

前記第2の領域の寸法は、前記第1の領域の寸法より大きいことを特徴とするアクティブマトリクス型表示装置の作製方法。

【請求項10】請求項8または請求項9において、
寸法はキャリアの移動経路に沿った方向におけるものとして定義されることを特徴とするアクティブマトリクス型表示装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本明細書で開示する発明は、アクティブマトリクス型の液晶表示装置の構成に関する。特に周辺駆動回路を一体化したアクティブマトリクス型の液晶表示装置の構成に関する。

【0002】

【従来の技術】アクティブマトリクス型の液晶表示装置が知られている。これは、マトリクス状に配置された数百×数百個の画素電極のそれぞれに薄膜トランジスタを個別に配置した構造を有している。各画素に配置された薄膜トランジスタは、各画素電極に出し入れする電荷を制御する機能を有している。

【0003】また最近では、周辺駆動回路一体型と称される構成が知られている。これは、画素マトリクス部と周辺駆動回路部とを同一ガラス基板上に集積化したものである。この周辺駆動回路一体型の構成は、作製コストを低減でき、また全体の構成を小型化できるという有益性がある。

【0004】一般に画素マトリクス回路には、PまたはNチャネル型の薄膜トランジスタの一方がスイッチング素子として配置される。また、周辺駆動回路にはPチャネル型とNチャネル型とで構成される回路が配置される。

【0005】

【発明が解決しようとする課題】上述したような周辺駆動回路一体型の液晶表示装置においては、画素マトリクス回路と周辺駆動回路とに配置される薄膜トランジスタとが同一基板上に同時に平行して作製される。

【0006】一般に、画素マトリクス回路と周辺駆動回路とでは、要求されるトランジスタ特性が異なる。

【0007】例えば、画素マトリクス回路に配置される薄膜トランジスタは、それ程の高速動作は要求されないが、画素電極における電荷保持機能が必要とされるため、厳しい低OFF電流特性が要求される。

【0008】他方、周辺駆動回路に配置される薄膜トランジスタは、高速動作や大電流を流すことができる特性が優先的に要求される。特にバッファ回路を構成する薄膜トランジスタには、高速動作を行わすことができ、かつ大電流を流すことができる特性が要求される。

【0009】また、周辺駆動回路に配置される薄膜トランジスタは、高速動作が要求される関係上、特性の劣化が少ないことも必要である。即ち、高速動作をさせればそれだけ劣化の影響が顕在化するので、その影響が極力少ないものが要求される。

【0010】また、一般にNチャネル型の薄膜トランジスタは、Pチャネル型の薄膜トランジスタに比較して、移動度が2～3倍高い。このことは、CMOS構造を採用する場合にその動作のバランス上問題となる。このことは、CMOS構造が利用される周辺駆動回路において特に問題となる。

【0011】そこで、Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとの移動度の違いを是正する工夫が必要とされる。

【0012】本明細書で開示する発明は、上述した各種要求事項を満足した周辺駆動回路一体型のアクティブマ

トリクス型液晶表示装置を提供することを課題とする。

【0013】

【課題を解決するための手段】本明細書で開示する発明の一つは、図9(A)にその具体的な構成例を示すように、同一基板上に画素マトリクス部と周辺駆動回路部

(図9に示す例においては、Nチャネルドライバ部とPチャネルドライバ部とで構成される)とを配置した構成を有し、前記画素マトリクス部には、高濃度不純物領域のソース領域108およびドレイン領域110と、チャネル領域129(図8参照)とソースおよびドレイン領域との間にソース/ドレイン領域よりも低濃度の不純物領域127と130をソース側とドレイン側の寸法が同じになるように有するNチャネル型の薄膜トランジスタが配置され、前記周辺駆動回路部には、高濃度不純物領域のソース領域111およびドレイン領域113と、チャネル領域132とソースおよびドレイン領域との間にソース/ドレイン領域よりも低濃度の不純物領域131と133をソース側よりもドレイン側(133の領域)の寸法が大きくなるように有するNチャネル型の薄膜トランジスタと、前記低濃度の不純物領域を有さないPチャネル型の薄膜トランジスタと、が配置され、ていることを特徴とする。

【0014】本明細書で開示する他の発明の一つは、図1～図4にその作製工程の一例を示すように、同一基板101上に画素マトリクス部と周辺駆動回路部とを配置した構成を有し、前記画素マトリクス部と周辺駆動回路部とに配置されるNチャネル型の薄膜トランジスタのソース及びドレイン領域108、110、111、113となるべき領域に非自己整合プロセスによりN型を付与する不純物をドーピングする工程(図1(B))と、前記周辺駆動回路部に配置されるPチャネル型の薄膜トランジスタのソース及びドレインとなるべき領域134、136に自己整合プロセスによりP型を付与する不純物をドーピングする工程(図4(A))と、を有することを特徴とする。

【0015】他の発明の構成は、図1～図4にその作製工程の一例を示すように、同一基板101上に画素マトリクス部と周辺駆動回路部とを配置した構成を有し、前記画素マトリクス部と周辺駆動回路部とに配置されるNチャネル型の薄膜トランジスタのソース及びドレイン領域となるべき領域108、110、111、113に非自己整合プロセスによりN型を付与する不純物をドーピングする工程(図1(B))と、前記Nチャネル型の薄膜トランジスタのソース及びドレイン領域となるべき領域に隣接した領域127、130、131、133に自己整合プロセスによりN型を付与する不純物を前記ソース及びドレイン領域となるべき領域よりも低濃度にドーピングする工程(図3(B))と、前記周辺駆動回路部に配置されるPチャネル型の薄膜トランジスタのソース及びドレインとなるべき領域134、136に自己整合

プロセスによりP型を付与する不純物をドーピングする工程(図4(A))と、を有することを特徴とする。

【0016】上記構成をさらに変形したものとして、図8(B)に示す工程のように、自己整合プロセスにおいてN型を付与する不純物がドーピングされる領域は、ソース領域側に形成される第1の領域127、131と、ドレイン領域側に形成される第2の領域130、133ととなり、周辺駆動回路部では前記第1の領域131の寸法は、N型を付与する不純物をドーピングする非自己整合プロセスにおける位置合わせ精度より大きく、前記第2の領域133の寸法は、前記第1の領域131の寸法より大きいものとする。ことにより、特にNチャネル型ドライバー部において、ドライブ能力を低下させずに高い信頼性を与えたものとする。ことができる。

【0017】なお上記の寸法は、キャリアの移動経路に沿った方向におけるものとして定義される。

【0018】図4に示す構成においては、周辺駆動回路を構成する要素として、Nチャネル型ドライバー部とPチャネル型ドライバー部とが示されている。周辺駆動回路の概念には、画素マトリクス部を直接駆動する回路(一般にドライバー回路と称される)以外にシフトレジスタ回路、さらには各種情報処理回路や記憶回路が含まれる場合がある。

【0019】本明細書でいう周辺駆動回路とは、主にドライバー回路のことをいう。従って、上記の周辺駆動回路を構成する要素の全てが本明細書で開示する発明の構成を具備する必要はない。

【0020】

【発明の実施の形態】図4に示すように画素マトリクス部、Nチャネル型ドライバー、Pチャネル型ドライバーのそれぞれにおいて、薄膜トランジスタの構造を異なるものとする。

【0021】即ち、画素マトリクス部においては、図1(B)に示す非自己整合プロセスにおいて形成したソース領域108と110、さらに図3(B)に示す自己整合プロセスによって形成された低濃度不純物領域127と130を備えたNチャネル型の薄膜トランジスタを配置する。

【0022】この画素マトリクス部における低濃度不純物領域は、OFF電流を低減するために $1\mu\text{m}$ ~ $5\mu\text{m}$ 程度の比較的大きな寸法とする。また、ドレインに加わる信号電圧が反転した場合における動作の対称性を確保するためにソース側とドレイン側の低濃度不純物領域の寸法はできる限り同じになるように努める。

【0023】なお、本明細書中においては、この寸法は、キャリアの移動方向におけるものとして定義される。

【0024】上記のような構成とすることで、画素マトリクス部に配置する薄膜トランジスタを低OFF電流特性を有したものとする。

【0025】また、Nチャネル型ドライバー部においては、図8(B)に示すゲイト電極122を利用した自己整合プロセスを利用することで、低濃度不純物領域131と133を形成したNチャネル型の薄膜トランジスタを配置する。

【0026】特にソース領域側に形成される第1の領域131の寸法は、N型を付与する不純物をドーピングする非自己整合プロセスにおける位置合わせ精度より大きくする。また、第1の領域131の寸法は、ドレイン領域側に形成される第2の領域133よりその寸法を小さくする。

【0027】このような構成とすることで、Nチャネル型ドライバー部に配置する薄膜トランジスタをドライブ能力がそれほど低下せず、かつ高信頼性を有したものとする。ことができる。

【0028】また、Pチャネル型ドライバー部においては、図9(B)に示されるように、陽極酸化膜33を利用したオフセットゲイト領域143及び144を配置するだけの構成とし、高いドライブ能力を得られるようにする。

【0029】このような構成とすることで、Pチャネル型ドライバー部に配置される薄膜トランジスタとNチャネル型ドライバー部に配置される薄膜トランジスタとのドライブ能力の違いを是正した構成とすることができる。即ち、その移動度の違いを是正した構成とすることができる。

【0030】

【実施例】

【実施例1】図1~図6に本実施例の作製工程を示す。本実施例では、ガラス基板上に画素マトリクス部に配置されるNチャネル型の薄膜トランジスタと、該画素マトリクス部を駆動するための駆動回路(バッファ回路)を構成するP及びNチャネル型の薄膜トランジスタとを同時に作製する工程を示す。

【0031】図において、Nチャネル型ドライバー部というのは、周辺駆動回路を構成するNチャネル型の薄膜トランジスタ部のことである。また、Pチャネル型ドライバー部というのは、周辺駆動回路を構成するPチャネル型の薄膜トランジスタ部のことである。

【0032】本実施例では、薄膜トランジスタの形式としてゲイト電極が活性層の上方に存在するトップゲイト型のものを示す。

【0033】本実施例では、図1(A)に示すようにガラス基板101を利用する。ガラス基板の代わりに石英基板を利用してもよい。

【0034】まず、ガラス基板101上に図示しない下地膜を成膜する。ここでは、下地膜としてスパッタ法によって、 2500\AA 厚の酸化珪素膜を成膜する。

【0035】次にプラズマCVD法により図示しない非晶質珪素膜を 500\AA の厚さに成膜する。プラズマCV

D法の代わりに減圧熱CVD法を利用してもよい。本実施例においては、真性または実質的に真性（人為的に導電型を付与しないという意味）な非晶質珪素膜を成膜する。

【0036】図示しない非晶質珪素膜を成膜したら、パターンニングを施すことにより、図1（A）の102、103、104で示すパターンを形成する。このパターンは、それぞれ薄膜トランジスタの活性層となる。この状態ではこれら各活性層は非晶質珪素膜で構成されたものとなっている。

【0037】ここで、102が画素マトリクス部に配置される薄膜トランジスタの活性層である。また103がNチャネル型ドライバー部に配置される薄膜トランジスタの活性層である。また104がPチャネル型ドライバー部に配置される薄膜トランジスタの活性層である。このようにして図1（A）に示す状態を得る。

【0038】図では作図の関係上からそれぞれ1つの薄膜トランジスタの作製工程が示されている。しかし、実際には必要とする数が同時に形成される。また、図示する以外の形式の薄膜トランジスタが同時に形成される場合もある。

【0039】図1（A）に示す状態を得たら、次に図1（B）に示すようにレジストマスク105、106、107を配置する。そしてP（リン）のドーピングを行う。このドーピング工程は、Nチャネル型の薄膜トランジスタのソース及びドレイン領域を形成するための条件で行う。

【0040】図1（B）に示すような工程で行われるドーピングの方法としては、プラズマドーピング法とイオン注入法を挙げることができる。

【0041】プラズマドーピング法は、 PH_3 や B_2H_6 といったドーパント元素を含んだガスを高周波放電等でプラズマ化し、このプラズマ中からイオン化した不純物イオンを電界によって引き出し、さらにこの不純物イオンを電界によって加速して被ドーピング領域にドーピングするものである。

【0042】このプラズマドーピング法は、大面積への対応が容易であるという特徴を有している。

【0043】他方、イオン注入法は、PやBといった不純物のイオンを磁界を利用した質量分離によって選択的に得、それを電氣的に加速して被ドーピング領域にドーピングするものである。この場合、PやBといった不純物のイオンは、プラズマドーピング法と同様に PH_3 や B_2H_6 といったドーパント元素を含んだガスを高周波放電等でプラズマ化し、そこから得る形式が多い。

【0044】イオン注入法は、質量分離を行っているので、目的とする元素のみをドーピングできる有意性がある。しかし、大面積への対応に難点がある。

【0045】本実施例では、ドーピングの方法として、大面積への対応が容易なプラズマドーピング法を用い

る。

【0046】図において、ヘビードーピングと記載されているのは、後に再度行われるP元素のドーピングと比較して、高いドーズ量でもってドーピングを行うことを便宜的に示すものである。この工程においてP（リン）がドーピングされる領域を便宜上 N^+ で表記する。

【0047】図1（B）に示すように、この工程においては、104の活性層パターンにはレジストマスク107が存在する関係上Pはドーピングされない。また、109と112の領域もレジストマスクに遮蔽されてPはドーピングされない。従って、活性層104、領域109と112はI型（真性）領域として残存する。

【0048】また、108、110、111、113の各領域はPが直接ドーピングされて N^+ 型となる。（厳密にはこの後の活性化工程後に N^+ 型となる）

【0049】このドーピング工程は、非自己整合プロセスで行われる。この非自己整合プロセスにおいては、フォトリソグラフィ工程によってマスク（レジストマスク）を配置し、このマスクを遮蔽物として選択的に所望の領域に不純物のドーピングが行われる。

【0050】このようにして、図1（B）に示す工程を行う。次にレジストマスク105、106、107を除く。

【0051】この状態においては、102、103、104の各活性層パターンは非晶質状態である。

【0052】次に図1（C）に示すように、レーザー光の照射を行う。このレーザー光の照射は、

- ・各活性層パターンの結晶化
 - ・ドーピングされたP（リン）の活性化
 - ・Pのドーピングによって生じた損傷のアニール
- といった作用を有している。

【0053】このレーザー光の照射によって、画素マトリクス部においては、108、110で示される N^+ 型領域の結晶化と活性化、さらに109で示されるI型領域の結晶化が同時に行われる。

【0054】また、Nチャネル型ドライバー部においては、111、113で示される N^+ 型領域の結晶化と活性化、さらに112で示されるI型領域の結晶化とが同時に行われる。

【0055】また、Pチャネル型ドライバー部においては、活性層パターン104全体の結晶化が行われる。Pチャネル型ドライバー部においては、活性層パターン104に不純物がドーピングされていないので、結晶化だけが行われる。

【0056】図1（C）に示す工程において重要なのは、画素マトリクス部とNチャネル型ドライバー部において、 N^+ 型領域とI型領域との接合部（境界部）およびその近傍にレーザー光が照射されることである。これは、接合付近における欠陥密度を減少させることに大きな効果がある。

【0057】また上記ようなレーザー光の照射を行うと、結晶化と同時に注入されたP元素を十分活性化させることができ、ソース及びドレイン領域として機能させるのに十分な特性を得ることができる。

【0058】次に図2(A)に示すように、ゲイト電極を構成するためのアルミニウム膜115を4000Åの厚さにスパッタ法によって成膜する。

【0059】アルミニウム膜115を成膜したら、陽極酸化法により陽極酸化膜116を形成する。ここでは、陽極酸化膜116の膜厚を100Åとする。この陽極酸化膜は、後に形成されるレジストマスクの密着性を高めるために機能する。

【0060】このようにして図2(A)に示す状態を得る。次に図2(B)に示すようにレジストマスク117、118、119を配置する。このレジストマスクは、アルミニウム膜115をパターンニングし、ゲイト電極を形成するために利用される。

【0061】次にレジストマスク117、118、119を利用してパターンニングを行う。こうして、図2(C)に示す状態を得る。

【0062】次にレジストマスク117、118、119を除去することにより、図3(A)に示す状態を得る。

【0063】図3(A)に示す状態において、120が画素マトリクス部の薄膜トランジスタのゲイト電極である。121が該ゲイト電極の上部に残存した陽極酸化膜である。

【0064】図示されていないが、ゲイト電極120からは、ソース線と共に格子状に配置されるゲイト線が延在して形成されている。

【0065】122がNチャネル型ドライバー部の薄膜トランジスタのゲイト電極である。123が該ゲイト電極の上部に残存した陽極酸化膜である。

【0066】124がPチャネル型ドライバー部の薄膜トランジスタのゲイト電極である。125が該ゲイト電極の上部に残存した陽極酸化膜である。

【0067】図3(A)に示す状態を得たら、再度の陽極酸化を行う。この陽極酸化によって、図3(B)の31、32、33で示される陽極酸化膜を1000Åの厚さに形成する。この陽極酸化膜は、図3(A)に示す工程における121、123、125で示される陽極酸化膜と一体化される。

【0068】次に図3(B)に示すようにレジストマスク126を配置する。

【0069】そして、再びP(リン)のドーピングを行う。ここでは、図1(B)に示す工程における場合より低ドーズ量でもってPのドーピングを行う。図ではこの工程におけるドーピングを便宜上ライトドーピングと記載してある。

【0070】この工程において、127と130、さら

に131と133の領域にP(リン)がライトドーピングされる。これらの領域は、108や110、さらに111や113の領域に比較してより低濃度にPを含有したものとなる。この127と130、131と133の領域は、より低濃度にP元素がドーピングがなされたことを示す意味でN⁻型と表記する。

【0071】なお、108と110、さらに111と113の領域は、N⁺型の領域にさらに重ねてPがライトドーピングされることになるので、N⁺型として残存する。

【0072】上記のドーピング工程は、ゲイト電極120と122のパターンを利用するもので、自己整合プロセスと称される。自己整合プロセスの特徴は、そのプロセス専用のマスクを設けることなく、既に形成されている電極パターン等を利用して選択的なドーピングが行えることである。

【0073】ここでは、ゲイト電極とその表面に形成された陽極酸化膜(これらを合わせてゲイト電極部と称する)をマスクとして選択的にPのドーピングが行われる。

【0074】こうして、画素マトリクス部において、N⁻型を有する127及び130の領域(低濃度不純物領域)が自己整合的に形成される。また、Nチャネル型ドライバー部において、N⁻型を有する131及び133の領域(低濃度不純物領域)が自己整合的に形成される。

【0075】なお、ドレイン領域側の低濃度不純物領域130と133が一般にLDD(ライトドープドレイン領域)と称される領域となる。

【0076】こうして、画素マトリクス部においては、108がソース領域、110がドレイン領域となる。またNチャネル型ドライバー部においては、111がソース領域、113がドレイン領域となる。

【0077】また、129と132で示される領域は、Pがドーピングされず、I型の領域として残存する。

【0078】このようにして図3(B)に示す状態を得る。次にレジストマスク126を除去する。そして図4(A)に示すように再度レジストマスク41と42を配置する。

【0079】そしてこの状態において、B(ボロン)のドーピングを行う。ここでもプラズマドーピング法を利用して、ドーピングを行う。

【0080】この工程においては、134と136の領域にBのドーピングが選択的に行われる。このドーピングは、ゲイト電極124とその周囲に形成された陽極酸化膜33(両者を合わせてゲイト電極部と称する)をマスクとして、自己整合的に行われる。

【0081】このBのドーピングは、134と136の領域をPチャネル型の薄膜トランジスタのソース及びドレイン領域とする条件でもって行う。図面では、P(リ

ン)のドーピング条件と対応させるため、便宜上ヘビードーピングと表記する。

【0082】この工程において、134と136の領域に自己整合的にBがドーピングされ、P⁺型の領域が形成される。また、135の領域は、ゲイト電極部がマスクとなるので、BがドーピングされずにI型として残存する。

【0083】こうして図4(A)に示す状態を得る。次にレジストマスク41と42を除去し、図4(B)に示す状態を得る。

【0084】図4(B)に示す状態を得たら、レーザー光の照射を行い、注入された不純物の活性化とドーピング時のイオンの衝撃によって生じた結晶構造の損傷のアニールとを行う。

【0085】本実施例に示す構成においては、ゲイト電極の周囲に陽極酸化膜が形成されている。従って、ゲイト電極部をマスクとしたドーピングを行うと、ゲイト電極側面の陽極酸化膜の下部に対応する活性層の領域に、陽極酸化膜の厚さに対応して、オフセット領域(オフセットゲイト領域とも称される)が形成される。

【0086】オフセット領域は、真性または実質的に真性な導電型を有し、チャネル領域としても、またソース/ドレイン領域としても機能しない。オフセット領域は、チャネル領域とソース領域との間、及びチャネル領域とドレイン領域との間に配置された高抵抗領域として機能する。

【0087】オフセット領域も低濃度不純物領域と同様に、ソース/チャネル間、あるいはチャネル/ドレイン間に形成される高電界を緩和させる機能を有している。オフセット領域を設けることで、低濃度不純物領域を配置する場合と同様に、OFF電流値の低減、ホットキャリア効果の低減といった効果を得ることができる。

【0088】図4(B)にはこの陽極酸化膜31、32、33の厚さの分形成されるオフセット領域が示されている。

【0089】即ち、137と139が陽極酸化膜31の厚さの分形成されるオフセット領域である。また、140と142が陽極酸化膜32の厚さの分形成されるオフセット領域である。また、143と145で示される領域が陽極酸化膜33の厚さに分形成されるオフセット領域である。

【0090】本実施例においては、31、32、33で示される陽極酸化膜の厚さを1000Åとしているので、上記オフセット領域の寸法も概略1000Åとなる。

【0091】図4(B)に示す状態を得たら、図5(A)に示すように第1の層間絶縁膜146を成膜する。ここでは、第1の層間絶縁膜146として、窒化珪素膜をプラズマCVD法により3000Åの厚さに成膜する。

【0092】そしてコンタクトホール形成を行い、コンタクト電極を構成するための図示しない金属膜を成膜する。ここでは、この金属膜として、チタン膜とアルミニウム膜とチタン膜との3層膜をスパッタ法により成膜する。そしてこの金属膜(積層膜)をバターニングすることにより、147、148、149、150、151、152で示される電極を形成する。

【0093】ここで、147はソース電極、148はドレイン電極、149はソース電極、150はドレイン電極、151はソース電極、152はドレイン電極である。

【0094】こうして図5(A)に示す状態を得る。次に図5(B)に示すように第2の層間絶縁膜153として再び窒化珪素膜を2000Åの厚さにプラズマCVD法でもって成膜する。

【0095】そして、第3の層間絶縁膜154をポリイミドでもって形成する。ここでは、スピンコート法でもって第3の層間絶縁膜154を形成する。樹脂膜を利用した場合には、図示されるようにその表面を平坦にすることができる。

【0096】こうして図5(B)に示す状態を得る。次にコンタクトホール形成を行い、図6に示すように画素電極155を形成する。ここでは、まずITO膜を1000Åの厚さにスパッタ法でもって成膜し、これをバターニングすることにより、155で示される画素電極を形成する。

【0097】最後に350℃の水素雰囲気中において、1時間の加熱処理を行い、半導体層中の欠陥を減少させる。

【0098】こうして、液晶パネルを構成する一方の基板を完成させる。この基板はTFT基板と称される。この後、液晶を配向させるためのラビング膜(図示せず)や封止材を形成し、別に作製した対向基板と張り合わせる。そして、TFT基板と対向基板との間に液晶を充填させることにより、液晶パネルを完成させる。

【0099】本実施例に示す構成においては、画素マトリクス部、Nチャネル型ドライバー部、Pチャネル型ドライバー部のそれぞれにおいて、異なる構造の薄膜トランジスタを配置している。

【0100】画素マトリクス部には、低濃度不純物領域を配置した低OFF電流特性を有する薄膜トランジスタを配置している。

【0101】Nチャネル型ドライバー部においては、低濃度不純物領域を配置することにより、高い信頼性を得た薄膜トランジスタを配置している。この低濃度不純物領域を配置した構造は、高信頼性を得られると同時に比較的ドライブ能力を低下させなくても済むという有意性がある。

【0102】ドレイン側に配置された低濃度不純物領域は、チャネル領域とドレイン領域との間の電界を緩和さ

せるという機能を有している。その機能によって、OFF動作時におけるドレインーチャネル間のキャリアの移動を抑制し、OFF電流を低減させることができる。他方で上記機能によって、ホットキャリア効果による劣化を抑制することができる。

【0103】また、Pチャネル型ドライバー部においては、陽極酸化膜によるオフセット領域のみの配置とし、ドライブ能力を低下させない構造となっている。

【0104】一般にPチャネル型の薄膜トランジスタは、Nチャネル型の薄膜トランジスタに比較して、ドライブ能力が低い。従って、Nチャネル型ドライバー部との特性のバランスをとるために上記のような構成とすることは好ましいことといえる。

【0105】なお、周辺駆動回路においては、OFF電流値はそれ程問題とならない。またPチャネル型の薄膜トランジスタは、ホットキャリア効果による劣化も問題とならない。従って、Nチャネル型の薄膜トランジスタのような低濃度不純物領域を配置する必要はない。

【0106】以上示したように本実施例に示す構成を採用することにより、

- ・低OFF電流特性を有した画素マトリクス部
 - ・高速動作に適し、高信頼性を有したNチャネル型ドライバー部
 - ・高速動作に適し、かつNチャネル型ドライバー部との特性のバランスを考慮したPチャネル型ドライバー部
- といった構成を同一ガラス基板上に集積化させることができる。

【0107】〔実施例2〕本実施例は、実施例1に示す構成を変形したものである。実施例1に示す構成においては、Nチャネル型ドライバー部に同じ寸法を有する低濃度不純物領域131と133を配置している。(図3(B)参照)

【0108】この低濃度不純物領域は、高周波特性とドライブ能力を極力低下させずに信頼性を向上させるために配置されている。しかし、主にその機能(劣化防止機能)を発揮するのは、ドレイン領域113側の低濃度不純物領域133である。従って、極端にいうならば、低濃度不純物領域131は必要ではない。

【0109】劣化防止という機能が期待できないのであれば、低濃度不純物領域131は、高周波特性とドライブ能力を阻害するだけの存在と考えることもできる。

【0110】本実施例は、Nチャネル型ドライバー部において、ドレイン側の低濃度不純物領域の長さ(ソース／チャネル／ドレインを結ぶ方向における長さ)をソース側のそれに比べて長くすることを特徴とする。

【0111】そして、ソース側の低濃度不純物領域は、ゲイト電極を形成する際のマスク合わせ精度の誤差を吸収する程度の長さとする。こうすることで、その存在による高周波特性やドライブ能力への影響を小さなものとすることができると同時に、非自己整合プロセスにおけ

るマスク合わせ誤差による影響(薄膜トランジスタの特性に与える影響)を低減することができる。

【0112】図7～図9に本実施例の作製工程を示す。各部の符号は図1～図6に示すものと同じである。また各部の作製工程の詳細は特に断らない限り実施例1に示すものと同じである。

【0113】まず、図7(A)に示すようにガラス基板101上に非晶質珪素膜でなる活性層パターン102、103、104を形成する。次に図7(B)に示すようにレジストマスク105、106、107を配置する。そしてこれらマスクを利用してP(リン)のドーピングを行う。

【0114】こうして、108、110、111、113で示されるN⁺型の領域が形成される。これらの領域は後にソースまたはドレイン領域となる。

【0115】次にレジストマスクを除去し、図7(C)に示す状態を得る。そしてこの状態において、レーザーアニールを行うことにより、102、103、104で示される各活性層パターンを結晶化させる。また、図7(B)の工程でドーピングされたPの活性化を行う。また、図7(B)のドーピング工程で生じた損傷のアニールも同時に行われる。

【0116】次に図8(A)に示すようにゲイト電極120、122、124を形成する。各ゲイト電極の形成方法は基本的に図2に示すものと同じである。

【0117】ここで実施例1の場合と異なるのは、ゲイト電極122の配置位置である。本実施例においては、ゲイト電極122の配置位置を相対的にソース領域111側に寄った位置とする。こうすることで、後の工程において、ドレイン側の低濃度不純物領域133の寸法をソース側の低濃度不純物領域131の寸法に比較して長くすることができる。

【0118】次に図8(B)に示すような状態において、Pのドーピングを図7(B)に示す工程における場合より低ドーズ量で行う。この結果、低濃度不純物領域127と130、さらに131と133が同時に形成される。

【0119】本実施例においては、低濃度不純物領域131より低濃度不純物領域133の長さ(ソース／ドレインを結ぶ線上の長さ)を長いものとしている。

【0120】また本実施例においては、領域131の長さをゲイト電極122の形成時のマスク合わせ精度よりも大きな寸法に設定する。このようにすることで、マスク合わせ時の位置ズレの影響を抑制することができる。

【0121】次に図9(A)に示すようにレジストマスク41と42を配置してB(ボロン)のドーピングを行う。この工程においては、Pチャネル型ドライバー部への不純物ドーピングが行われる。この工程で、Pチャネル型ドライバー部における薄膜トランジスタのソース領域134とドレイン領域136とが自己整合的に形成さ

れる。また135で示される領域は、I型の領域として残存する。

【0122】そして、レジストマスク41と42を除去することにより、図9(B)に示す状態を得る。後は、実施例1に示したのと同様な工程を経ることにより、画素マトリクス部、Nチャネル型ドライバー部、Pチャネル型ドライバー部が同一ガラス基板上に集積化された構成を完成させる。

【0123】本実施例に示す構成では、Nチャネル型ドライバー側に配置される薄膜トランジスタにおいて、本来必要とされるドレイン領域側に十分な寸法を有した低濃度不純物領域(LDD)を配置することができる。従って、Nチャネル型ドライバー部に高い信頼性を与えることができる。また、高信頼性に特に寄与しないソース領域側の低濃度不純物領域の寸法を小さくすることで、Nチャネル型ドライバー部のドライブ能力低下を防ぐことができる。

【0124】〔実施例3〕本実施例は、実際例1に示す構成において、マスクの数を1枚減らした構成に関する。

【0125】図10及び図11に本実施例の作製工程を示す。本実施例において特徴とするのは、図10(B)に示す工程において、レジストマスクを用いずに全面にPのドーピングを行うことである。この工程は、図3(B)に対応する。

【0126】この工程においては、Pチャネル型の薄膜トランジスタのソース及びドレインとなるべき領域11、13にN型を付与する不純物であるP(リン)がライトドーピングされる。なお12はドーピングがされない領域である。

【0127】そして図11(A)に示す工程において、Pチャネル型ドライバー部だけにBのドーピングを行う。この工程で先にライトドーピングされたP(リン)の効果は、ヘビードーピングされるBによって相殺され、さらに過剰にドーピングされたBの作用により、導電性はP型に反転する。134、136で示される領域がP⁺型領域が得られる。

【0128】この後、実施例1に示す工程と同様な工程を経ることにより、全体の構成を完成させる。

【0129】本実施例に示す構成を採用することにより、実施例1に示すものと実質的に同様な構成をマスク数を1枚減らした作製工程において得ることができる。

【0130】〔実施例4〕本実施例は、Pチャネルドライバー部に配置されるPチャネル型の薄膜トランジスタの移動度を最大限高めた構成に関する。具体的には、実施例1に示した構成において、Pチャネル型の薄膜トランジスタにオフセット領域を配置しない構成とし、ソース/ドレイン間の抵抗を最大限低くした構成に関する。

【0131】図12および図13に本実施例の作製工程を示す。特に説明しない箇所や符号の同じものは実施例

1の場合と同じである。

【0132】まず実施例1と同様な工程に従って、図12(A)に示す状態を得る。この状態は、図2(A)に示す状態と全く同じである。

【0133】図12(A)に示す状態を得たら、ゲイト電極を形成するためのレジストマスク117、118、119を形成する。

【0134】こうして図12(B)に示す状態を得る。次に図12(C)に示すように、レジストマスク1201を配置する。こうすることで、画素マトリクス部とNチャネル型ドライバー部とがマスクされる。そして、Pチャネルドライバー部だけが露呈する。

【0135】図12(C)に示す状態において、B(ボロン)のドーピングを行う。この工程において、ソース領域134およびドレイン領域136が自己整合的に形成される。また、自己整合的にチャネル領域135が画定される。

【0136】この工程において、ゲイト電極124の側面に陽極酸化膜が形成されていないので、オフセットゲイト領域は形成されない。

【0137】次に図13(A)に示すようにレジストマスク1201を除去する。そして再度の陽極酸化により、31、32、33で示される陽極酸化膜を形成する。

【0138】次に図13(B)に示すようにPのドーピングを行う。この工程において、127、130、131、133で示される低濃度不純物領域が形成される。後の工程は、実施例1と同様である。

【0139】本実施例の構成においては、Pチャネル型ドライバーに形成される薄膜トランジスタをオフセット領域のないものとするのが特徴である。

【0140】このようにすることにより、Pチャネル型ドライバーのドライブ能力を最大にすることができ、Nチャネル型ドライバー部とのバランスを改善することができる。

【0141】

【発明の効果】本明細書で開示する発明を利用することで、同一基板上に異なる特性を有する薄膜トランジスタを集積化した得ることができる。そして、全体としてのバランスがとれた周辺駆動回路一体型のアクティブマトリクス型液晶表示装置を提供することができる。

【0142】具体的には、画素マトリクス部においては、低OFF電流を特性を有した薄膜トランジスタを形成できる。

【0143】また、Nチャネル型ドライバー部においては、高信頼性を有し、かつ高いドライブ能力を有した薄膜トランジスタを形成できる。

【0144】また、Pチャネル型ドライバー部においては、Nチャネル型ドライバー部に見合うような高いドライブ能力を有した薄膜トランジスタを形成することがで

きる。

【0145】本明細書に開示する発明は、アクティブマトリクス型を有した他のフラットパネルディスプレイに利用することもできる。例えば、EL素子を利用したアクティブマトリクス表示装置に利用することができる。

【図面の簡単な説明】

【図1】 発明を利用した薄膜トランジスタの作製工程を示す図。

【図2】 発明を利用した薄膜トランジスタの作製工程を示す図。

【図3】 発明を利用した薄膜トランジスタの作製工程を示す図。

【図4】 発明を利用した薄膜トランジスタの作製工程を示す図。

【図5】 発明を利用した薄膜トランジスタの作製工程を示す図。

【図6】 発明を利用した薄膜トランジスタの作製工程を示す図。

【図7】 発明を利用した薄膜トランジスタの作製工程を示す図。

【図8】 発明を利用した薄膜トランジスタの作製工程を示す図。

【図9】 発明を利用した薄膜トランジスタの作製工程を示す図。

【図10】 発明を利用した薄膜トランジスタの作製工程を示す図。

【図11】 発明を利用した薄膜トランジスタの作製工程を示す図。

【図12】 発明を利用した薄膜トランジスタの作製工程を示す図。

【図13】 発明を利用した薄膜トランジスタの作製工程を示す図。

【符号の説明】

101	ガラス基板
102、103、104	活性層パターン
105、106、107	レジストマスク
108	N ⁺ 型領域（ソース領域）
109	I 型領域
110	N ⁺ 型領域（ドレイン領域）
111	N ⁺ 型領域（ソース領域）
112	I 型領域
113	N ⁺ 型領域（ドレイン領域）
114	酸化珪素膜（ゲイト絶縁膜）

115

116

μ膜)

117、118、119

120、122、124

121、123、125

126

127

域)

129

130

域)

131

域)

132

133

域)

31、32、33

μ膜)

134

135

136

41、42

137

138

139

140

141

142

143

144

145

146

147

148

149

150

151

152

153

154

155

アルミニウム膜

陽極酸化膜（酸化アルミニウ

レジストマスク

ゲイト電極

残存した陽極酸化膜

レジストマスク

N⁻ 型領域（低濃度不純物領

I 型領域

N⁻ 型領域（低濃度不純物領

N⁻ 型領域（低濃度不純物領

I 型領域

N⁻ 型領域（低濃度不純物領

陽極酸化膜（酸化アルミニウ

P⁺ 型領域（ソース領域）

I 型領域

P⁺ 型領域（ドレイン領域）

レジストマスク

オフセット領域（I 型領域）

チャネル領域（I 型領域）

オフセット領域（I 型領域）

オフセット領域（I 型領域）

チャネル領域（I 型領域）

オフセット領域（I 型領域）

オフセット領域（I 型領域）

チャネル領域（I 型領域）

オフセット領域（I 型領域）

層間絶縁膜（窒化珪素膜）

ソース電極

ドレイン電極

ソース電極

ドレイン電極

ソース電極

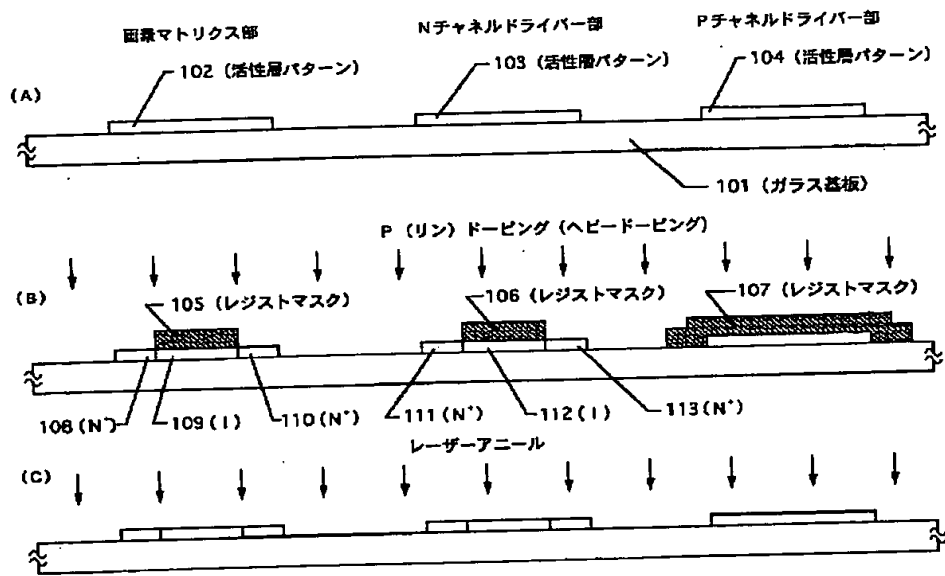
ドレイン電極

層間絶縁膜（酸化珪素膜）

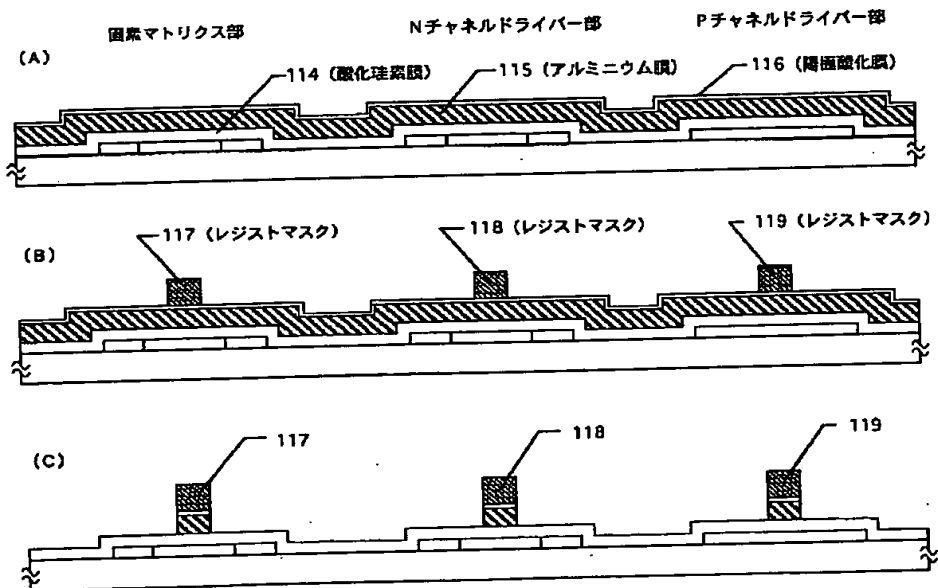
層間絶縁膜（樹脂膜）

画素電極（ITO 電極）

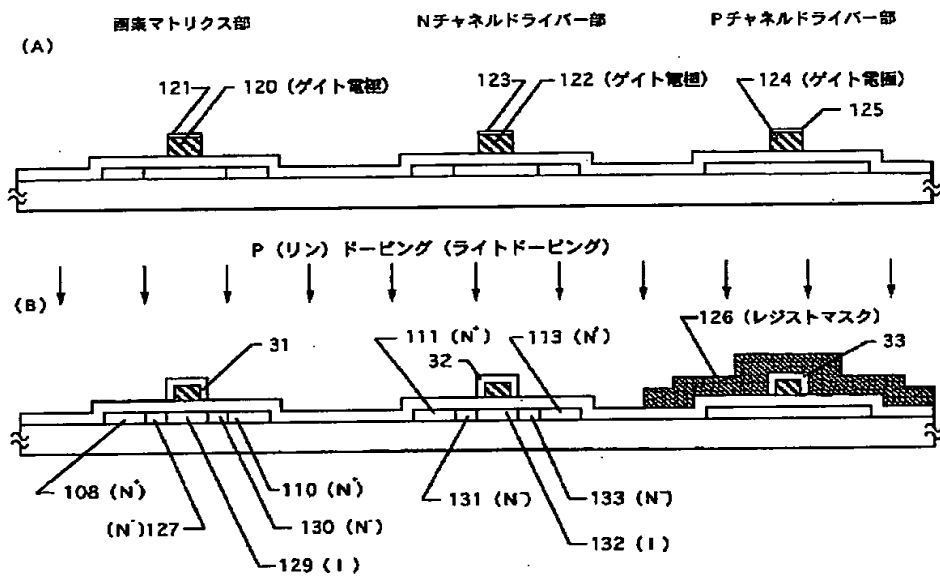
【図1】



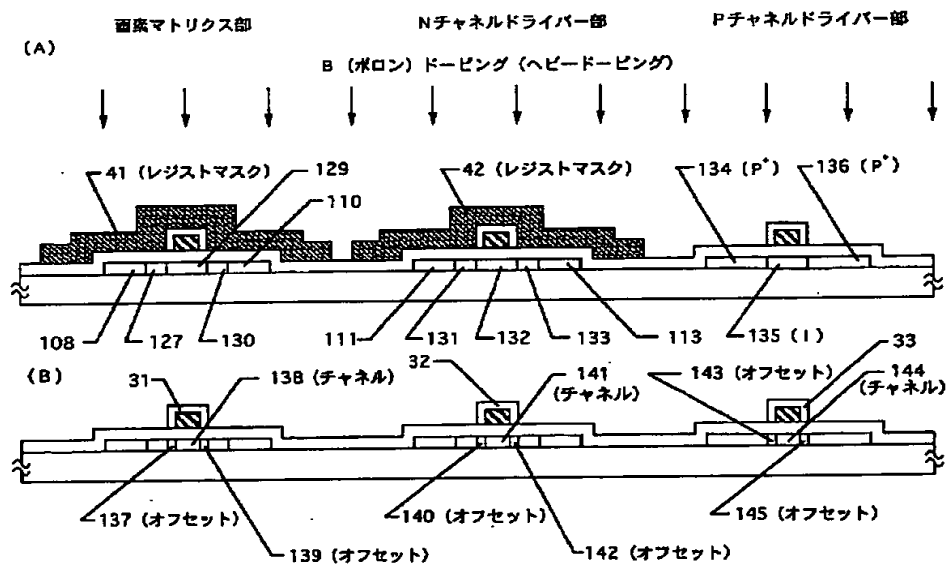
【図2】



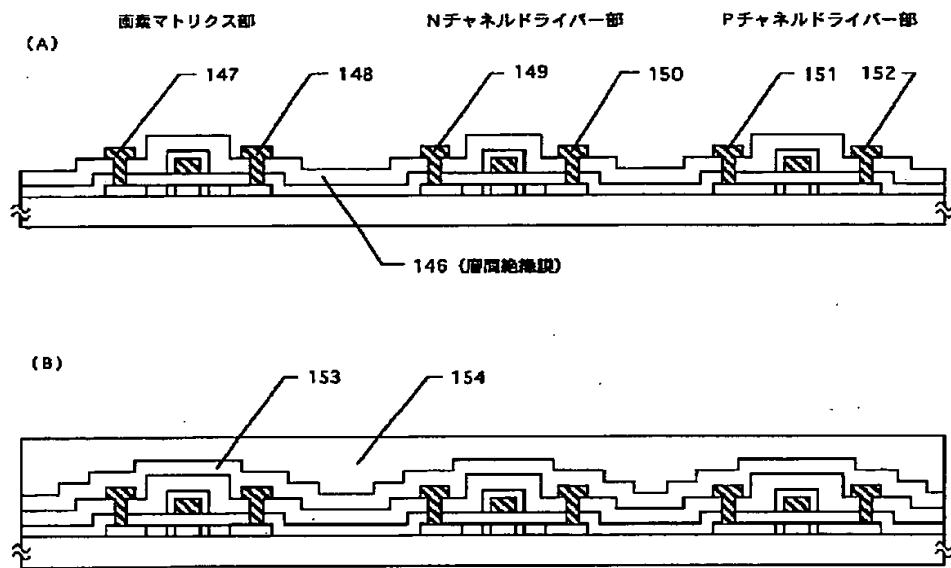
【図3】



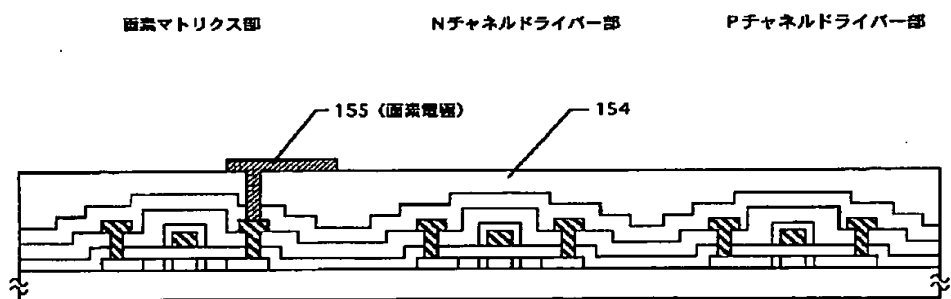
【図4】



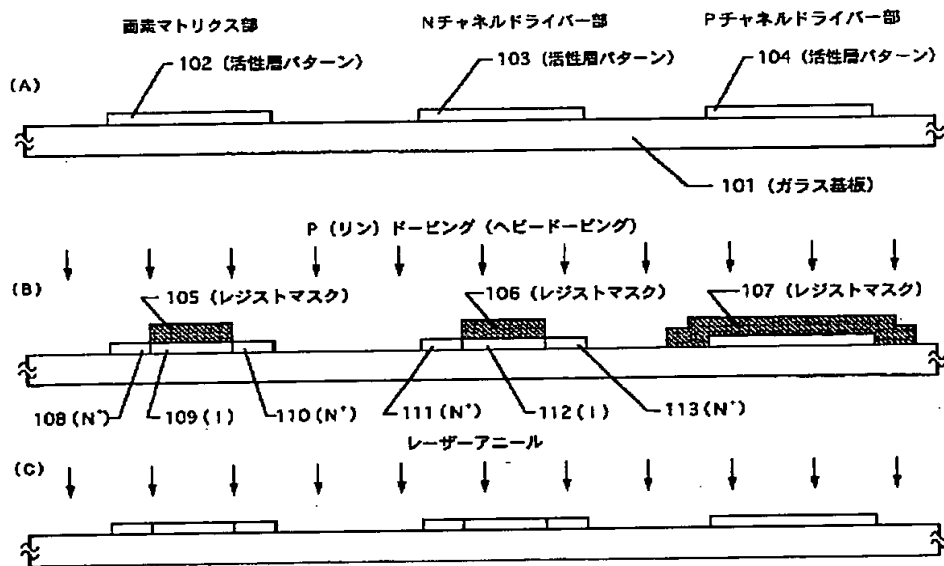
【図5】



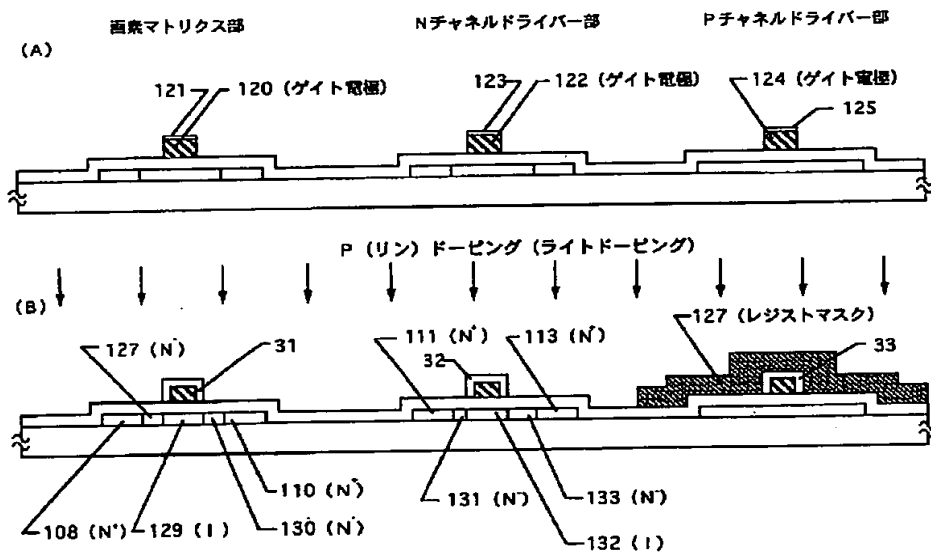
【図6】



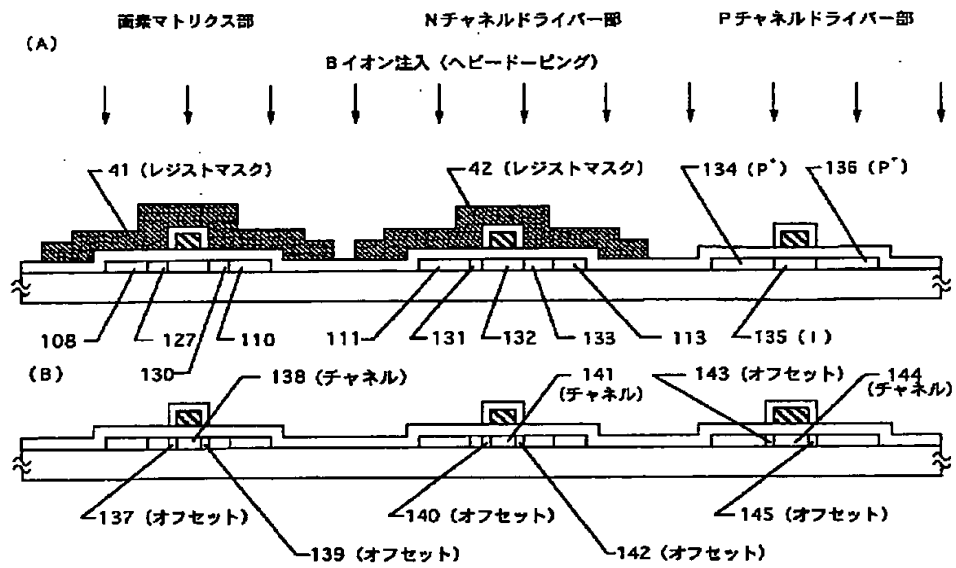
【図7】



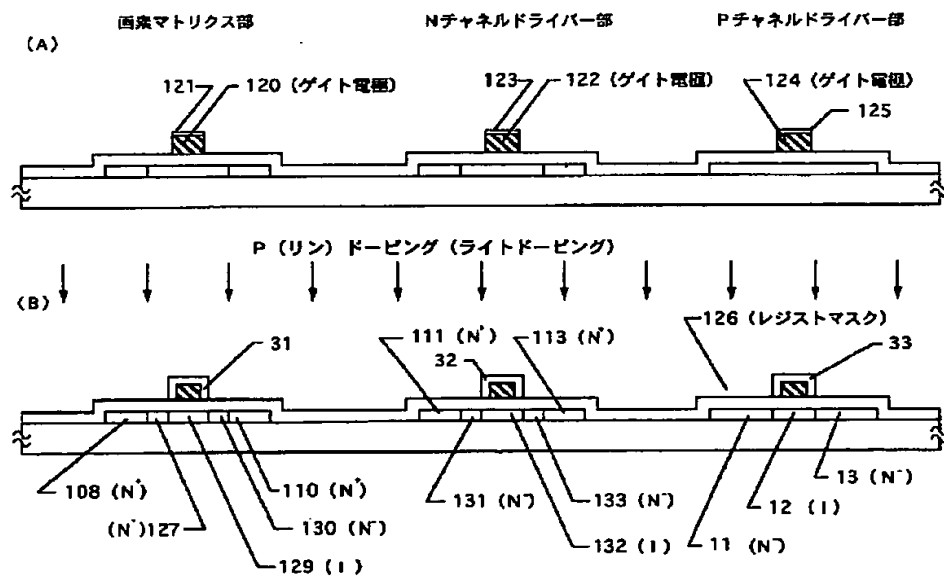
【図8】



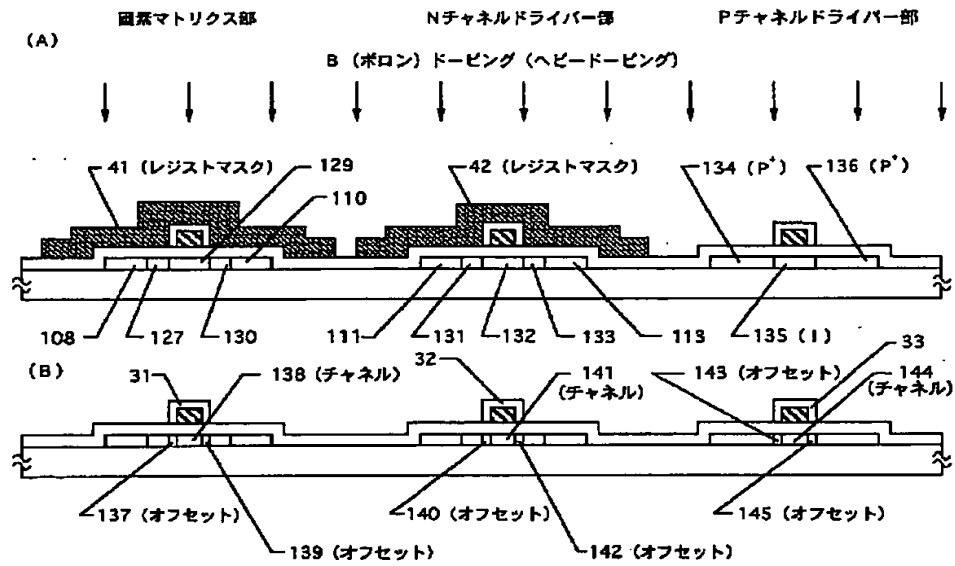
【図9】



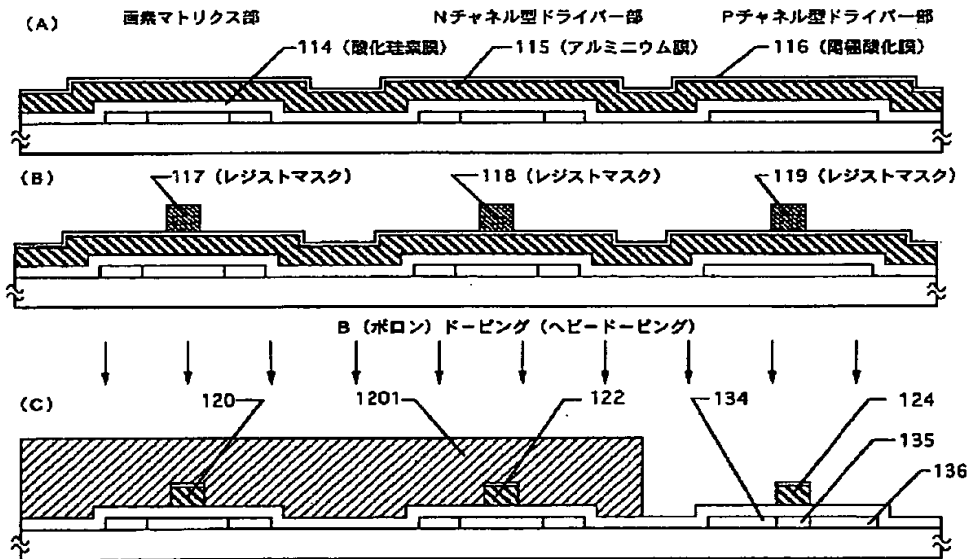
【図10】



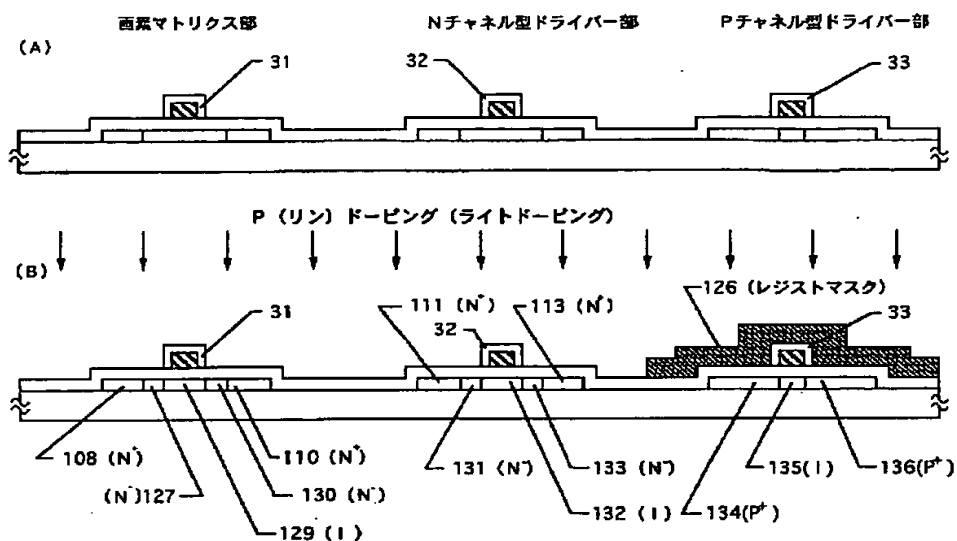
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 張 宏勇
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 武内 晃
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内